

文章编号:1007-2780(2014)06-0944-06

基于 Zynq 的图形生成电路设计与实现

高伟林*,曹 峰,佟 川,郭 超

(中航工业雷达与电子设备研究院 军品研究所,江苏 苏州 215151)

摘要:为了适应机载液晶显示器向低功耗、高集成度发展的趋势,提出了一种基于 Zynq 可扩展处理平台的图形生成电路实现方法。该方法以 Zynq 为核心搭建硬件平台,使用 Zynq 集成的 ARM 处理器执行图形生成算法运算,配合可编程逻辑资源,按照一种三缓冲机制对 DDR3 SDRAM 帧存数据进行缓冲处理,实现图形的实时生成。采用本设计可以生成多种分辨率的机载图形画面。实验结果表明,当生成分辨率为 $1\,024\times 768$ 的 EFIS 电子飞行显示系统画面时,帧率可达 74 fps,能够满足机载液晶显示器高性能实时显示需求。

关 键 词: Zynq 可扩展处理平台;图形生成;DDR3 SDRAM 帧存;三缓冲机制

中图分类号: V243.6 **文献标识码:** A **doi:** 10.3788/YJYXS20142906.0944

Design and implementation of graphics generation circuit based on Zynq

GAO Wei-lin*, CAO Feng, TONG Chuan, GUO Chao

(Research Center of Military Equipment, AVIC Radar and Avionics Institute,
Suzhou 215151, China)

Abstract: In order to adapt the development trend of low-power and high-integration in cockpit display system, a method about graphics generation circuit based on Zynq is proposed in this paper. Hardware platform is designed based on Zynq and the graphics generation algorithms are performed by ARM processor integrated in Zynq. A triple buffer mechanism is designed to manage the data of DDR3 SDRAM frame buffer and the graphics can be generated in real-time in cooperation with FPGA. Graphics with different resolution can be generated using the proposed design. Experiments show that the EFIS display with $1\,024\times 768$ resolution can be generated and the frame rate is 74 fps, which satisfies the high performance requirements of the cockpit display system.

Key words: Zynq extensible processing platform; graphics generation; DDR3 SDRAM frame buffer; triple buffer mechanism

1 引 言

在飞机座舱显示系统中图形显示占据重要地位^[1]。主显示器尺寸不断加大,分辨率不断提高,

并日益朝着大屏幕化、综合化、信息化和智能化方向发展^[2]。随着分辨率的提高,要显示的信息量也大幅增加,座舱图形综合显示系统是一个对实时性要求很高的系统^[3],军用飞机在做战术动作时,画面变换速度快,要求图形的更新速度也必须

收稿日期:2014-05-15;修订日期:2014-06-12.

基金项目:国家 863 高技术研究发展计划(No. 2011AA110101)

* 通信联系人,E-mail:gwl0609@126.com

很快,至少要比帧或场的刷新速度快,才可以避免画面的断续^[4-5]。采用 DSP+FPGA 的图形硬件加速架构,或者使用专用 GPU 图形生成芯片,都可以生成高分辨的机载显示器图形,但随之而来的是产品成本的急剧增加以及功耗的不断上升^[6]。为机载图形显示系统配置更合理的硬件设计和软件架构变得尤为迫切。

Xilinx 最新平台 Zynq 将处理器的软件可编程能力与 FPGA 的硬件可编程能力实现完美结合,以低功耗和低成本等系统优势实现良好的系统性能、灵活性和可扩展性^[7]。本文提出一种基于 Zynq 可扩展处理平台的实时图形生成电路,利用 Zynq 内部集成的 ARM 处理器以及可编程逻辑资源,实现了机载显示器图形画面的实时生成与显示。

2 Zynq 简介

2.1 Zynq 构成

Zynq 构架将内部结构分为处理器系统(Processing System, PS)与可编程逻辑(Programmable Logic, PL)两部分^[8]。PS 部分包括双 ARM Cortex-A9 内核、存储器接口以及通用外设接口等资源。PL 部分也即常规的 FPGA,通过 PL 生成的 IP 核可以作为 ARM 内核的扩展外围设备或者 ARM 内核的加速部件。Zynq 器件内部结构图如图 1 所示。

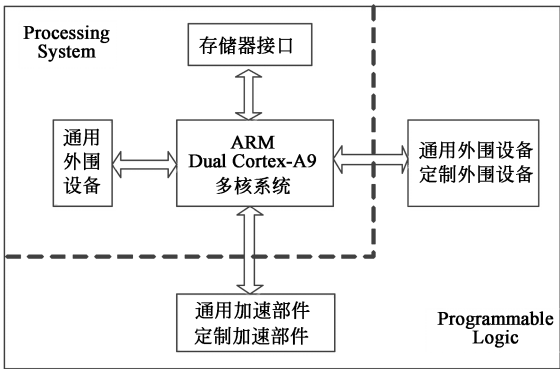


图 1 Zynq 内部结构图
Fig. 1 Structure of Zynq

Zynq 架构可以对 PL 和 PS 中运行的自定义逻辑和软件方便地进行管理和规划,PS 和 PL 的单芯片综合使其在 I/O 数据带宽、功能耦合、功

耗预算等方面的性能表现大大超越了以往 ASSP 和 FPGA 双芯片解决方案。

PS 和 PL 可以通过多种途径实现互联,包括 GPIO 端口、AXI 总线端口、EMIO 端口、中断、DMA 等等。其中 AXI 总线是 ARM 系统中连接各个模块的主要通道,各个功能部件通过 AXI 总线实现互联。在 PL 中可以通过工具自动生成带有 AXI 接口的 IP 核,和 PS 端进行高速数据交互。

2.2 DDR Memory 控制器

Zynq 内部集成的 DDR memory 控制器支持 DDR2、DDR3、LPDDR2 等多种存储器类型,包含了 3 个主要模块:AXI 存储器端接口 DDRI、带有传输调度机制的中央控制器 DDRC 和物理层控制器 DDRP^[9]。DDR memory 控制器框图如图 2 所示。

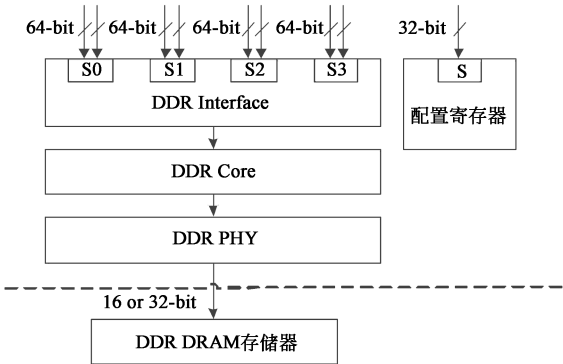


图 2 DDR Memory 控制器框图
Fig. 2 Framework of DDR memory controller

DDRI 端口符合 AXI 总线标准,包含 4 个 64 位的同步 AXI 接口,分别为 S0、S1、S2、S3,用于接收多个 AXI 主端的访问请求,其中 S0 和 S1 端口接收 PS 部分 CPU 的访问请求;S2 和 S3 端口接收 PL 部分逻辑端的访问请求。DDRC 对来自多个 AXI 主端的访问请求按照其调度策略进行裁决,裁决实施的依据是主控端访问的优先级、等待时长计数器和紧急信号。DDRP 处理来自于 DDRC 的读写请求,并将其转换成符合 DDR 存储器时序要求的特定信号。

2.3 AXI VDMA

AXI VDMA 是 Xilinx 公司开发的一个软核 IP,用于在系统存储器和支持 AXI4-Stream 视频类型的目标 IP 之间提供一个高速的数据存取通

道^[10]。AXI4-Stream 格式数据流不能直接用于驱动显示,还需要将数据流以视频使能信号为界进行分割,配合行场同步信号驱动视频终端显示。

该 IP 有两路 AXI4-Stream 接口,分别为 AXI Memory Map to Stream (MM2S) Stream Master 和 AXI4-Stream to Memory Map (S2MM) Stream Slave,其中 MM2S 为主端口,用于输出转换成 AXI4-Stream 格式视频流的系统存储器中数据。S2MM 为从端口,用于接收 AXI4-Stream 格式视频流转换成存储器数据。MM2S 和 S2MM 彼此相互独立,可以并行同时工作。PS 端的处理器可通过 AXI4-Lite 总线对其内部的寄存器进行访问以控制 VDMA 工作模式、获取 VDMA 工作状态。

3 设计实现

3.1 硬件设计

3.1.1 硬件架构

本文通过 Zynq 完成图形生成与显示功能,原理框图如图 3 所示,硬件模块主要包括 Zynq、DDR3 SDRAM、FLASH、双口 RAM 等。正常工作时 PS 中的 ARM 内核根据从双口 RAM 中接收到的绘图指令和参数完成绘图算法,将图形数据写入 DDR3 SDRAM 存储器中。PL 从 DDR3 SDRAM 中读出图形数据进行显示,并对 DDR3 SDRAM 中的图形数据进行清屏处理。

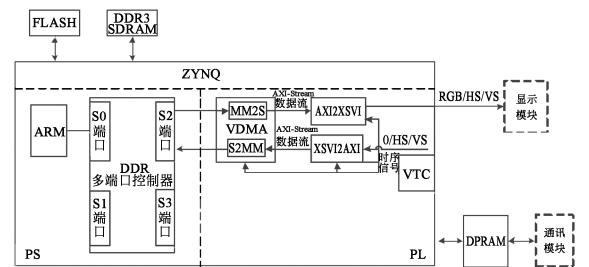


图 3 Zynq 图形生成原理框图

Fig. 3 Block diagram of graphic-generator based on Zynq

3.1.2 Zynq 硬件平台设计

本文通过 Xilinx 的 ISE14.2 软件集成的 XPS 开发环境完成 Zynq 图形生成电路的硬件平台设计。利用 XPS 可以快速地对 Zynq 系统内的各种硬件资源进行定制设计,包括存储器、外设、ARM 处理器、系统 IP 和用户 IP 等。Zynq 硬件

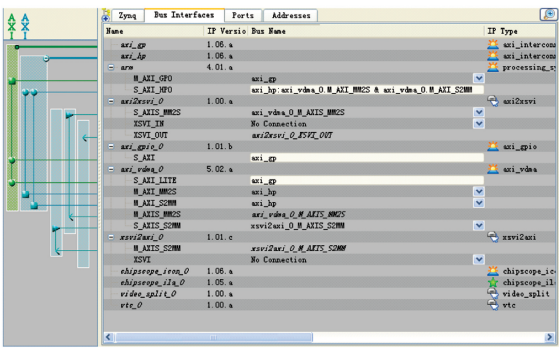


图 4 Zynq 硬件结构图

Fig. 4 Hardware structure of Zynq

平台结构图见图 4 所示。

本文在 Zynq 中的 PL 部分应用了 VDMA、AXI2XSVI、XS2AXI、VTC 等几个 IP 核,其中 VDMA 用于从 DDR3 SDRAM 中读出图形数据,同时向 DDR3 SDRAM 中写入全零数据以达到清屏目的。AXI2XSVI 用于将 AXI-Stream 数据流用行、场同步信号进行区隔,供外部显示模块进行显示。XS2AXI 用于将带有行场同步信号的视频数据转换成 AXI-Stream 数据流。VTC 用于生成系统运行所需时序信号。对 VTC 根据显示时序进行修改,系统即可产生多种分辨率图形画面。

3.1.3 图形缓冲设计

本文中对 DDR3 SDRAM 帧存的操作包括 3 种类型:PS 写入、PL 读取、PL 清零。清零从本质上说也是一种写入操作,写入的是全零数据。读取和写入请求通过 DDR 控制器中的调度机制和仲裁策略分别在不同时刻得以响应,得益于 DDR3 SDRAM 的高速高带宽优势,外部可以同时进行多个通道的读写操作。针对本文中 DDR3 SDRAM 的 3 种操作类型,在 DDR3 帧存中设置了 3 个缓冲区,分别为 buffer0,buffer1,buffer2,相应地,VDMA 中的 frame buffer 数目也设置为 3。buffer 的切换机制如表 1 所示。

这种三缓冲切换机制保证了写入的都是已清零完成的 buffer,清零的都是已读出完成的 buffer,读出的都是已写入完成的 buffer。

根据 buffer 切换机制,VDMA 中的 S2MM 和 MM2S 通道分别以指定的 buffer 为操作对象。初始化状态下为每个 buffer 指定默认的操作模式,而后在每个帧周期内启动 VDMA 切换 buffer

操作模式,从而不间断地输出图形数据。

表 1 Buffer 切换机制
Tab. 1 Buffer switching mechanism

帧周期	Buffer0	Buffer1	Buffer2
NO. 1	PL 清零	PL 读出	PS 写入
NO. 2	PS 写入	PL 清零	PL 读出
NO. 3	PL 读出	PS 写入	PL 清零
NO. 4	PL 清零	PL 读出	PS 写入
...	...	...	...

3.2 软件设计

3.2.1 Zynq 系统软件

系统绘图时,根据双口 RAM 提供的画面内容要求,启动绘图任务,并将绘图结果保存下来。显示工作完全由 PL 内部的显示逻辑负责,显示逻辑从显存中读取显示数据,按照标准时序送至显示接口。图形软件的接口关系如图 5 所示。

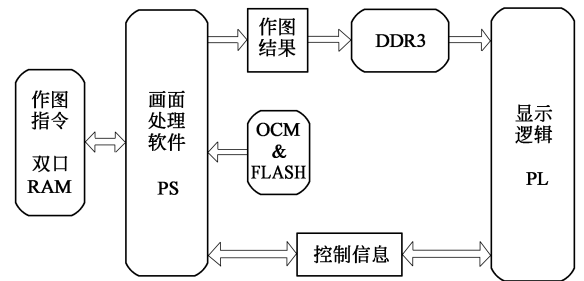


图 5 图形生成软件接口示意图
Fig. 5 General view of graphic-generator software interface

3.2.2 画面显示软件

画面显示软件主要包括初始化模块和主模块,结构如图 6 所示。初始化模块完成 ARM 内核启动;外设初始化信息加载;DDR3 SDRAM、UART 等设备初始化;VDMA 寄存器配置等初始化工作。运算控制模块由双口 RAM 读写模块;PS、PL 通信模块以及绘图模块 3 部分组成,其中双口 RAM 读写模块主要负责从双口 RAM 中读取绘图指令数据,为绘图模块提供必要的绘图参数;PS、PL 通信模块负责 ARM 内核与 VDMA 的通信,切换缓存;绘图模块完成分配的绘图任务,并将相应的计算结果,也即对应的像素点信息写入 DDR3 SDRAM 中。

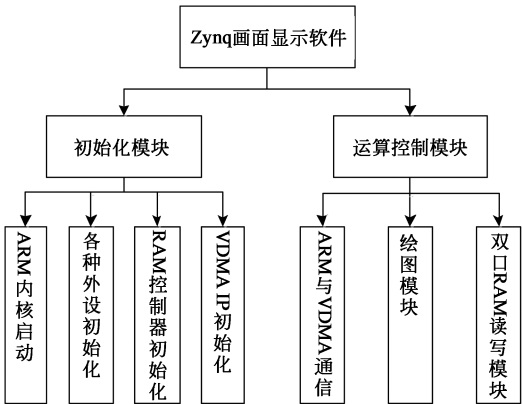


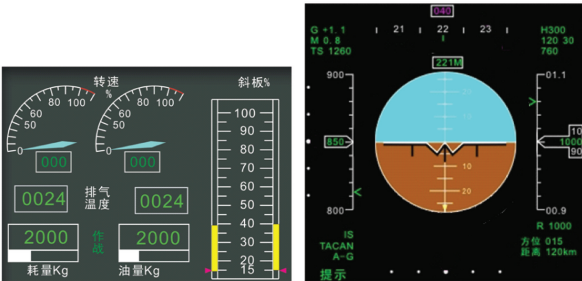
图 6 图形生成软件结构图
Fig. 6 Structure of graphic-generator software

4 实验与对比

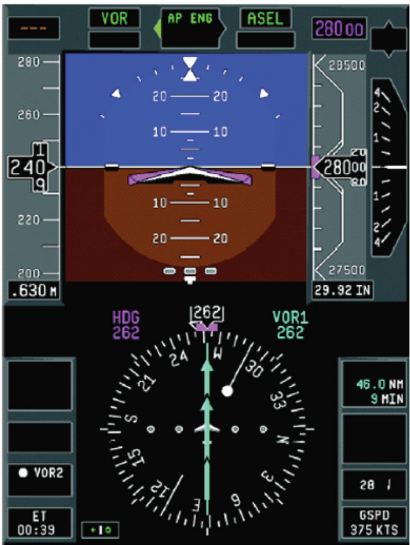
4.1 实验过程

在实验验证阶段,分别采用自主开发的 Zynq 图形生成模块和 DSP 图形生成模块作为实验和比较对象。其中,Zynq 图形生成模块采用的 Zynq 器件型号为 XC7Z020,集成的 ARM 处理器频率为 667 MHz,采用的 DDR3 SDRAM 器件型号为 MICRO 公司的 MT41J128M16,时钟频率设置为 533 MHz。DSP 图形生成模块采用的 DSP 器件型号为 AD 公司 TigerSHARC 系列的 TS201,主频设置为 520 MHz。

为了全面验证 Zynq 平台的图形生成性能,本文针对几种常规分辨率机载显示器,对两种平台的图形生成时间和帧率分别进行对比测试。机载显示器常规分辨率有 640×480、600×600、1 024×768 等几种,每种分辨率下具体图形生成时间和帧率与图形内容和复杂度有关,本文选取常用的典型图形作为测试对象,每幅图形均包含了直线、圆弧、矩形、字符、数字、符号等内容,如图 7 所示。



(a) 640×480 图形 (b) 600×600 图形
(a) 640×480 graphics (b) 600×600 graphics



(c)1 024×768 图形
(c)1 024×768 graphics

图 7 测试图形
Fig. 7 Test graphics

以 1 024×768 分辨率的 EFIS 画面为例，Zynq 平台实时生成图形数据并送至外部监视器显示的示意图如图 8 所示。

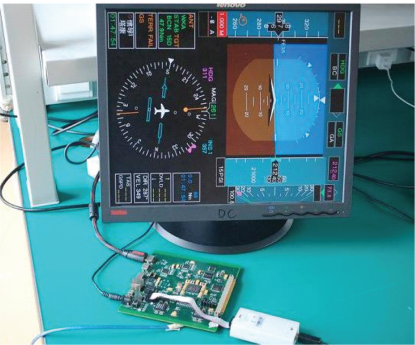


图 8 Zynq 平台 1 024×768 分辨率图形生成示例
Fig. 8 Zynq graphics generator demonstration
for 1 024×768 resolution

4.2 实验结果

针对 3 种分辨率典型图形画面，Zynq 平台和 DSP 平台图形生成时间和帧率对比分别如图 9 和图 10 所示。

图形生成时间包括图形算法运算时间和图形数据写帧存时间。在进行图形运算处理时，针对 Zynq 平台的特点采取了一系列的优化算法，图形运算时间小于 DSP 平台。另外，Zynq 平台采用

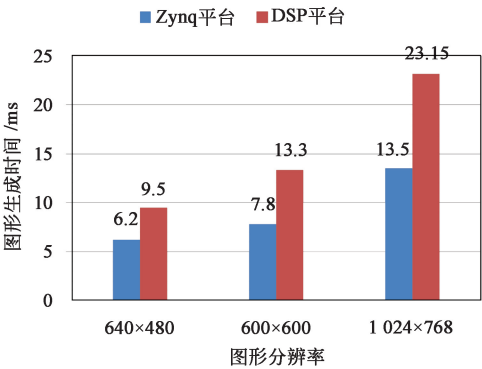


图 9 图形生成时间对比
Fig. 9 Time consuming comparison for graphics generation

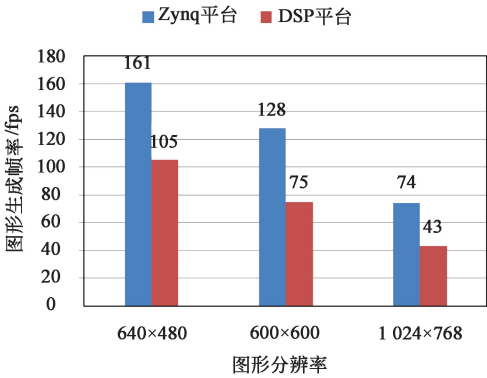


图 10 图形生成帧率对比
Fig. 10 Frame rate comparison for graphics generation

的是 DDR3 SDRAM 帧存，操作速率远高于 DSP 平台采用的 SRAM 帧存，因此写帧存时间远小于 DSP 平台。由图 9 和图 10 可见，在绘制分辨率相同的同一图形时，Zynq 平台图形生成时间均小于 DSP 平台，帧率均高于 DSP 平台。在绘制多种分辨率图形画面，Zynq 平台帧率均超越 60 Hz，满足了机载显示器的实时显示要求。

5 结 论

针对机载液晶显示器低功耗、小型化的应用需求，提出了一种基于 Zynq 的图形生成电路。运用 Zynq 器件集成的 ARM Cortex-A9 内核作为核心绘图部件，外部高速 DDR3 存储器作为图形帧存，对帧存采取三缓冲机制进行数据缓冲处理，配合可编程逻辑资源，可完成多种分辨率图形的实时生成。对 Zynq 平台和 DSP 平台在多种分辨率下典型画面的图形生成时间和帧率进行了对

比测试,测试结果表明,Zynq 平台性能优于 DSP 平台。在生成 $1\,024\times 768$ 分辨率的 EFIS 图形画面时,Zynq 平台图形帧率可达 74 fps,满足机载显示器实时显示需求。

参 考 文 献:

- [1] 胡小龙,周俊明,夏显忠.飞机座舱图形显示加速系统设计及 FPGA 实现[J].中南大学学报:自然科学版,2008,39(5):1042-1048.
Hu X L, Zhou J M, Xia X Z. Design and implementation of graphics accelerating display system based on FPGA [J]. *J. Cent. South Univ.: Science and Technology*, 2008, 39(5): 1042-1048. (in Chinese)
- [2] 邢新强,李国超,肖锋.机载座舱显示发展趋势分析[J].飞机设计,2010,30(2):34-36.
Xing X Q, Li G C, Xiao F. The developing trend analysis of aircraft cockpit display [J]. *Aircraft Design*, 2010, 30(2): 34-36. (in Chinese)
- [3] 张波,张焕春,经亚枝.基于 DSP 和 FPGA 的座舱图形显示系统关键技术研究[J].信息与控制,2003,32(6):548-552.
Zhang B, Zhang H C, Jing Y Z. Research on critical technology of graphics display system in aircraft cockpit based on DSP and FPGA [J]. *Information and Control*, 2003, 32(6): 548-552. (in Chinese)
- [4] 姜丹丹,李成贵.基于 ARM 与 FPGA 的主飞行仪显示系统的设计[J].计量与测试技术,2009,36(1):50-51.
Jiang D D, Li C G. The Main Flight-Display System Design Based on ARM and FPGA [J]. *Metrology & Measurement Technique*, 2009, 36(1): 50-51. (in Chinese)
- [5] 谷勇,艾德峰,魏延岩,等.飞机座舱显示系统画面显示质量的研究[J].海军航空工程学院学报,2009,24(6):631-634.
Gu Y, Ai D F, Wei Y Y, et al. Research on display quality of aircraft cockpit display system [J]. *Journal of Naval Aeronautical and Astronautical University*, 2009, 24(6): 631-634. (in Chinese)
- [6] 郭超,曹峰,高伟林,等.基于 SOPC 的机载显示器图形实时生成技术[J].液晶与显示,2014,29(1):65-70.
Guo C, Cao F, Gao W L, et al. Real-time graphics generation technology based on SOPC in cockpit display system [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(1): 65-70. (in Chinese)
- [7] 邢艳芳,张延冬.基于 Zynq 的 OLED 驱动设计[J].液晶与显示,2014,29(2):224-228.
Xing Y F, Zhang Y D. OLED driver design based on Zynq [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(2): 224-228. (in Chinese)
- [8] 陆佳华,江舟,马岷.嵌入式系统软硬件协同设计实战指南基于 Xilinx Zynq[M].北京:机械工业出版社,2013:40.
Lu J H, Jiang Z, Ma M. *Software and Hardware co-design Guide of Embedded System based on Xilinx Zynq* [M]. Beijing: China Machine Press, 2013: 40. (in Chinese)
- [9] Xilinx. Zynq-7000 EPP Technical Reference Manual [R]. USA: Xilinx, 2012:208.
- [10] Xilinx. AXI VDMA Reference Design [R]. USA: Xilinx, 2012:6.

作者简介:高伟林(1979—),男,江苏淮安人,工学硕士,高级工程师,主要研究方向为机载座舱显示技术。E-mail: gwl0609@126.com